

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-144383

(43)Date of publication of application : 25.05.2001

(51)Int.Cl. H01S 5/343  
H01L 21/205

(21)Application number : 2000-194277

(71)Applicant : SHARP CORP

(22)Date of filing : 28.06.2000

(72)Inventor : OBITSU YOSHINORI  
MIYAZAKI KEISUKE  
FUJII YOSHIHISA

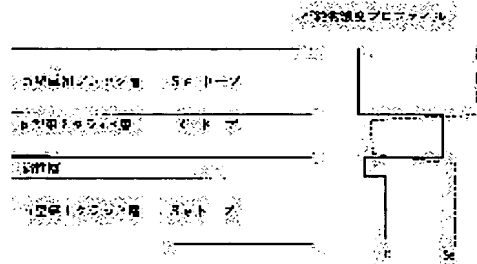
(30)Priority

Priority number : 11244635 Priority date : 31.08.1999 Priority country : JP

(54) SEMICONDUCTOR LASER ELEMENT AND METHOD FOR MANUFACTURING THE SAME

(57)Abstract:

PROBLEM TO BE SOLVED: To prevent diffusion of impurities of a p-type clad layer inverting to an n-type and thus avoid its irregular profile upon re-growth.

SOLUTION: In this semiconductor laser element, at least an n-type first cladding layer, an active layer and a p-type second clad layer are laminated on an n-type semiconductor substrate, an n-type current blocking layer having a stripe shape and a groove-shaped defect part is laminated on the second clad layer, and at least a p-type third cladding layer is formed on the current block layer, including the stripe shape and defect part. The second clad layer is set to have a p-type impurity concentration of  $3 \times 10^{17} \text{ cm}^{-3}$  to  $2 \times 10^{18} \text{ cm}^{-3}$ .

## LEGAL STATUS

[Date of request for examination] 25.08.2000

[Date of sending the examiner's decision of rejection] 25.02.2003

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3676965

[Date of registration] 13.05.2005

[Number of appeal against examiner's decision of rejection] 2003-05125

[Date of requesting appeal against examiner's decision 27.03.2003  
of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-144383

(P2001-144383A)

(43) 公開日 平成13年5月25日 (2001.5.25)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テーマコード(参考)
H 0 1 S 5/343		H 0 1 S 5/343	5 F 0 4 5
H 0 1 L 21/205		H 0 1 L 21/205	5 F 0 7 3

審査請求 有 請求項の数19 O L (全 12 頁)

(21) 出願番号 特願2000-194277(P2000-194277)  
(22) 出願日 平成12年6月28日(2000.6.28)  
(31) 優先権主張番号 特願平11-244635  
(32) 優先日 平成11年8月31日(1999.8.31)  
(33) 優先権主張国 日本(J P)

(71) 出願人 000005049  
シャープ株式会社  
大阪府大阪市阿倍野区長池町22番22号  
(72) 発明者 大樫 義徳  
大阪府大阪市阿倍野区長池町22番22号 シ  
ャープ株式会社内  
(72) 発明者 宮崎 啓介  
大阪府大阪市阿倍野区長池町22番22号 シ  
ャープ株式会社内  
(74) 代理人 100062144  
弁理士 青山 葆 (外1名)

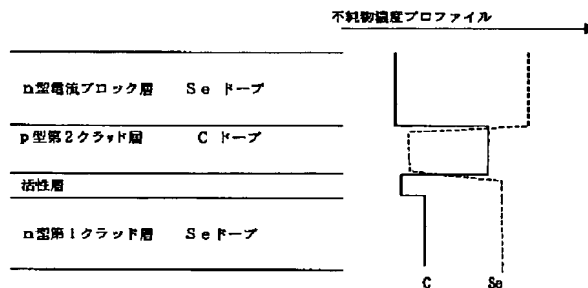
最終頁に続く

(54) 【発明の名称】 半導体レーザ素子及びその製造方法

## (57) 【要約】

【課題】 再成長時に p 型クラッド層の不純物が拡散し、n 型に反転してしまい、プロファイルが一定しない。

【解決手段】 n 型の半導体基板上に、少なくとも、n 型の第 1 クラッド層と、活性層と、p 型の第 2 クラッド層とが積層され、上記第 2 クラッド層上に、ストライプ状かつ溝状の欠損部を有する n 型の電流阻止層が積層され、上記ストライプ状の欠損部を含む上記電流阻止層上に少なくとも p 型の第 3 クラッド層が形成された半導体レーザ素子であって、上記第 2 クラッド層は C の不純物濃度が p 型の  $3 \times 10^{17} \text{cm}^{-3} \sim 2 \times 10^{18} \text{cm}^{-3}$  であることを特徴としている。



## 【特許請求の範囲】

【請求項 1】 n 型の半導体基板上に、少なくとも、n 型の第 1 クラッド層と、活性層と、p 型の第 2 クラッド層とが積層された半導体レーザ素子であって、上記第 2 クラッド層は p 型不純物として炭素を  $2 \times 10^{17} \text{cm}^{-3} \sim 2 \times 10^{18} \text{cm}^{-3}$  の濃度で含んでいることを特徴とする半導体レーザ素子。

【請求項 2】 請求項 1 記載の半導体レーザ素子において、上記第 2 クラッド層上にストライプ状の溝を有する n 型の電流阻止層が積層され、上記ストライプ状の溝を含む上記電流阻止層上に少なくとも p 型の第 3 クラッド層が形成され、上記第 2 クラッド層の炭素濃度は  $3 \times 10^{17} \text{cm}^{-3} \sim 2 \times 10^{18} \text{cm}^{-3}$  であることを特徴とする半導体レーザ素子。

【請求項 3】 請求項 2 記載の半導体レーザ素子において、上記 n 型の電流阻止層の溝に対向する領域の第 2 クラッド層の不純物濃度が、残りの領域の第 2 クラッド層の不純物濃度よりも高いことを特徴とする半導体レーザ素子。

【請求項 4】 請求項 1 記載の半導体レーザ素子において、上記活性層は量子井戸層からなり、上記第 2 クラッド層上には、ストライプ状に延びるリッジ形状の p 型の第 3 クラッド層と、この第 3 クラッド層を両側から挟み込む n 型の電流阻止層とが形成されていることを特徴とする半導体レーザ素子。

【請求項 5】 請求項 4 記載の半導体レーザ素子において、上記第 3 クラッド層は p 型不純物として炭素を  $2 \times 10^{17} \text{cm}^{-3}$  以上の濃度で含んでいることを特徴とする半導体レーザ素子。

【請求項 6】 請求項 4 記載の半導体レーザ素子において、上記活性層は、光出射端面において、無秩序化されて発振領域よりも大きな禁制帯幅を有する窓領域を有することを特徴とする半導体レーザ素子。

【請求項 7】 請求項 2 に記載の半導体レーザ素子を製造する方法であって、半導体基板上に、少なくとも、第 1 クラッド層と、活性層と、第 2 クラッド層と、電流阻止層とを順に積層する工程であって、第 2 クラッド層の成長条件を、p 型不純物としての炭素の濃度が  $3 \times 10^{17} \text{cm}^{-3} \sim 2 \times 10^{18} \text{cm}^{-3}$  となる条件とした第 1 の工程と、上記電流阻止層にストライプ状の溝を形成する第 2 の工程と、上記ストライプ状の溝を含む電流阻止層上に、少なくとも第 3 クラッド層を形成する第 3 の工程とを含むことを特徴とする半導体レーザ素子の製造方法。

【請求項 8】 請求項 7 に記載の半導体レーザ素子の製造方法において、

上記第 3 の工程において、上記第 3 クラッド層から、上記電流阻止層の溝を介して、上記第 2 クラッド層へ不純物を拡散し、上記溝に対向する領域の第 2 クラッド層の不純物濃度を、残りの領域の第 2 クラッド層の不純物濃度よりも高くすることを特徴とする半導体レーザ素子の製造方法。

【請求項 9】 請求項 7 に記載の半導体レーザ素子の製造方法において、

上記第 1 の工程において有機金属気相成長法が使用され、p 型の第 2 クラッド層の成長条件として、V 族原料と III 族原料とのモル比 (V/III 比) を 20 ~ 50 にすることを特徴とする半導体レーザ素子の製造方法。

【請求項 10】 請求項 7 に記載の半導体レーザ素子の製造方法において、

上記第 3 の工程で液相エピタキシャル成長法を用いることを特徴とする半導体レーザ素子の製造方法。

【請求項 11】 請求項 10 に記載の半導体レーザ素子の製造方法において、

第 3 クラッド層に用いる p 型の不純物を、Mg とすることを特徴とした半導体レーザ素子の製造方法。

【請求項 12】 請求項 7 乃至 11 のいずれか 1 つに記載の半導体レーザ素子の製造方法において、

n 型半導体層を成長する場合の n 型の不純物を Se であることを特徴とした半導体レーザ素子の製造方法。

【請求項 13】 請求項 5 に記載の半導体レーザ素子を製造する方法であって、

半導体基板上に、少なくとも、第 1 クラッド層と、量子井戸層からなる活性層と、第 2 クラッド層と、第 3 クラッド層とを順に積層する工程であって、第 2 クラッド層の成長条件を、p 型不純物としての炭素の濃度が  $2 \times 10^{17} \text{cm}^{-3} \sim 2 \times 10^{18} \text{cm}^{-3}$  となる条件とした第 1 の工程と、上記第 3 クラッド層をストライプ状に延びるリッジ形状に加工する第 2 の工程と、

上記リッジ形状の第 3 クラッド層を挟み込むように、n 型の電流阻止層を上記第 2 クラッド層上に形成する第 3 の工程とを備えたことを特徴とする半導体レーザ素子の製造方法。

【請求項 14】 請求項 13 に記載の半導体レーザ素子の製造方法において、

上記第 1 の工程において、第 3 クラッド層の p 型不純物として炭素を使用し、第 3 クラッド層の成長条件を、炭素の濃度が  $2 \times 10^{17} \text{cm}^{-3}$  以上となる条件としたことを特徴とする半導体レーザ素子の製造方法。

【請求項 15】 請求項 13 に記載の半導体レーザ素子の製造方法において、

上記第 1 の工程において有機金属気相成長法が使用され、p 型の第 2 クラッド層の成長条件として、V 族原料と III 族原料とのモル比 (V/III 比) を 10 ~ 50 にする

ことを特徴とする半導体レーザ素子の製造方法。

【請求項16】 請求項14に記載の半導体レーザ素子の製造方法において、

上記第1の工程において有機金属気相成長法が使用され、p型の第2クラッド層の成長条件として、V族原料とIII族原料とのモル比(V/III比)を10～50にするとともに、p型の第3クラッド層の成長条件として、V族原料とIII族原料とのモル比(V/III比)を10～50にすることを特徴とする半導体レーザ素子の製造方法。

【請求項17】 請求項13に記載の半導体レーザ素子の製造方法において、

上記第1の工程と第2の工程との間に、半導体レーザ素子の光出射端面における活性層を熱処理することにより無秩序化して、窓領域を形成する第4の工程をさらに備えたことを特徴とする半導体レーザ素子の製造方法。

【請求項18】 請求項17に記載の半導体レーザ素子の製造方法において、

上記第4の工程は、上記第1の工程により得られたウェハ上にSiO<sub>2</sub>膜またはSi<sub>3</sub>N<sub>4</sub>膜を部分的に形成する工程と、SiO<sub>2</sub>膜またはSi<sub>3</sub>N<sub>4</sub>膜の形成されたウェハに熱処理を行って、SiO<sub>2</sub>膜またはSi<sub>3</sub>N<sub>4</sub>膜直下の活性層部分を無秩序化する工程とを含むことを特徴とする半導体レーザ素子の製造方法。

【請求項19】 請求項7乃至18のいずれか1に記載の半導体レーザ素子の製造方法において、

p型の半導体層としてAlGaAs層を形成することを特徴とする半導体レーザ素子の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、CD、MD、DVDプレーヤーあるいはコンピュータの情報記憶装置等の光情報システム用光源としての半導体レーザで代表されるIII-V族化合物半導体装置とその製造方法、特に低閾値電流動作を実現する為の構造と、半導体層に含まれる不純物の制御性を向上させ、素子特性、歩留、信頼性に優れた半導体素子とその製造方法に関する。

【0002】

【従来の技術】 近年、化合物半導体装置としてCD、MD用のピックアップに用いられる半導体レーザ素子の需要は益々拡大しており、特性のばらつきが少なく信頼性に優れた半導体レーザ素子が要求されている。またコンピュータ情報記憶装置CD-ROM、CD-R、CD-RW、あるいはデジタルビデオディスク(DVD)の製品化など、半導体レーザ素子の需要は今後も益々拡大していくものと見込まれる。

【0003】 このような半導体レーザ素子に代表されるIII-V族化合物半導体装置を作製する際、半導体基板上に複数の半導体層の積層構造を形成する。各半導体層には所定の不純物を添加することにより、その電気伝導

型あるいは電気伝導率を制御し、結果として所定の半導体装置特性が得られるように設計される。半導体装置の各層毎に電気伝導型あるいは電気伝導率を設計値通り制御することが半導体レーザ素子特性の均一化、製造歩留の向上には非常に重要である。

【0004】 このIII-V族化合物半導体薄膜を積層する方法としては、有機金属気相成長(MOCVD: metal-organic chemical vapor deposition)法や分子線エピタキシー(MBE: molecular beam epitaxy)法などがある。これらを用いて成長を行う場合、例えばn型の電気伝導型層を得るための不純物の材料としては、I V族のSi、V I族のSe等を用い、I V族元素はIII族元素であるAl、Ga、あるいはInと置換することにより、ドナー不純物となる。V I族元素はV族元素であるAsやPと置換することによってドナー不純物となる。p型の電気伝導層を得るための不純物の材料としてはZn、Be、Mg等のII族を用い、II族元素はIII族元素であるAlあるいはGaと置換することによってアクセプタ不純物となる。

【0005】 この半導体レーザ素子の構造については、セルフアライン構造と呼ばれるものとリッジ型構造と呼ばれるものがよく知られている。図4にセルフアライン構造の半導体レーザ素子の一例を示す。このセルフアライン構造の半導体レーザ素子について製造工程を以下に説明する。

【0006】 図4(A)の第1の工程に示すように、まず、MOCVD法によって、n型GaAs基板10上にn型GaAsバッファ層12(層厚0.5μm)と、n型Al<sub>x</sub>Ga<sub>1-x</sub>As第1クラッド層13(x=0.5、層厚1.0μm)と、ノンドープAl<sub>x</sub>Ga<sub>1-x</sub>As活性層14(x=0.14、層厚0.085μm)と、p型Al<sub>x</sub>Ga<sub>1-x</sub>As第2クラッド層15(x=0.5、層厚0.35μm)と、n型GaAs電流阻止(ブロック)層16(層厚0.6μm)を順に成長する。この時のn型不純物はSeを使用し、p型の不純物としてはZnを使用する。次に図4(B)に第2の工程を示すように、フォトリソグラフィ法などによってエッチングマスク40を形成した後、n型GaAs電流阻止層16を3.5～4.0μmの幅でストライプ状、かつ、溝状に除去して、欠損部20を形成する。

【0007】 この後、図4(C)に第3の工程に示すように、上記欠損部20を含むn型GaAs電流阻止層16の上に、MOCVD法やLPE法を用いて、p型Al<sub>x</sub>Ga<sub>1-x</sub>As第3クラッド層17(x=0.5、層厚1.0μm)と、p型GaAsキャップ層(層厚3～50μm)18を成長する。この場合のp型GaAsキャップ層18の層厚については、最終的な半導体レーザ素子の、チップ厚さに対する発光点位置をどの位置にするか、必要に応じて層厚を決定すれば良い。また、この場合のp型不純物にZnやMgを用いる。これらの製造方法によって、半導体レーザ素子を得ている。

【0008】 また、第1の工程にMOCVD法を用いて積層する場合の、V族とIII族のモル比(V/III比)については、従来成長温度600～800℃で、20～150とする。20

以下とした場合成長表面が荒れる現象がある。成長温度を450~600℃とした場合においては、V/IIIモル比を0.3~2.5と低下させても、結晶表面に荒れを生じず、成長薄膜へのCの取り込みが増加し、GaAs及びAlGaAsのCによるp型の正孔濃度は $1 \times 10^{18} \text{cm}^{-3} \sim 1 \times 10^{20} \text{cm}^{-3}$ が得られることが報告されている(JP-B2-2885435)。

#### 【0009】

【発明が解決しようとする課題】図4(c)に示す半導体レーザ素子の構造において、n型GaAs基板上に少なくともn型第1クラッド層13、活性層14、第2クラッド層15、およびn型の電流阻止層16を積層する第1の工程において、n型の第1クラッド層13、およびn型の電流阻止層16への添加不純物としてSe、p型第2クラッド層15への添加不純物としてZnを用いたものが実用されている。しかし第1の工程を終えた本構造において、不純物元素が製造上の工程において、拡散あるいは不純物原子同士の相互作用によって、層相互間を移動し、設定した不純物のプロファイルとは異なった不純物プロファイルが得られている。図3(A)は設計の不純物プロファイルであり、当然n型第1クラッド層13とn型電流阻止層16にはn型の不純物であるSeがドーピング設計されており、p型第2クラッド層15にはp型の不純物であるZnが、それぞれ急峻にドーピング設計されている。図3(B)が実際の不純物濃度プロファイルである。この図のようにp型第2クラッド層15内に添加したZn不純物は、第1の工程途中のn型電流阻止層16成長中に、p型第2クラッド層15以外の他の層へ拡散することにより、p型第2クラッド層15のドーピング制御は不安定となる。

【0010】更に第2の工程である、上記n型電流阻止層16に、ストライプ溝状の欠損部20の形成を行った後の第3の工程で、上記電流阻止層16の欠損部と上記電流阻止層の非欠損部上に、p型第3クラッド層17とp型GaAsキャップ層18を成長させる工程における熱履歴によって、p型第2クラッド層15中の不純物であるZnは他の層への拡散を増し、場合によっては、n型第1クラッド層13や、n型電流阻止層16の不純物であるSeがp型第2クラッド層15へ拡散し、この結果、p型第2クラッド層15のp型不純物であるZnの濃度を上回りn型に反転する。このn型への反転がp型第2クラッド層15の全面、もしくは上記n型電流阻止層16の非欠損部に対向する部分のいずれでも発生することは、半導体レーザ素子のレーザ発振を得るための局所的な電流注入が不可能になるため、製造工程においては不良となっていた。

【0011】一方、リッジ型構造の半導体レーザ素子においても、量子井戸層からなる活性層の上に形成されるp型のクラッド層の添加不純物として、従来はZnが使用されている。したがって、不都合なことに、セルフアライン構造の半導体レーザ素子と同様に、製造工程中にZnが活性層内にまで拡散してしまう。これは量子井戸活性層全体の無秩序化を引き起こし、そのため、発振波長を

変化させてしまうことになる。あるいは、量子井戸活性層の結晶性の低下を引き起こし、そのため、閾値電流、動作電流が増大してしまうことになる。この結果、レーザ素子特性の悪化、特性のパラツキ増大が起こっている。

【0012】そこで、本発明の目的は、p型クラッド層、特に活性層に近接して形成されるp型クラッド層の不純物濃度を設計通りに、制御性良く、ドーピングできる製造方法とその半導体レーザ素子の構造を提供することにある。

#### 【0013】

【課題を解決するための手段】この発明に係る半導体レーザ素子は、n型の半導体基板上に、少なくとも、n型の第1クラッド層と、活性層と、p型の第2クラッド層とが積層された半導体レーザ素子であって、上記第2クラッド層はp型不純物として炭素を $2 \times 10^{17} \text{cm}^{-3} \sim 2 \times 10^{18} \text{cm}^{-3}$ の濃度で含んでいることを特徴としている。

【0014】炭素は極めて拡散の少ない不純物なので、本発明の半導体レーザ素子は、上記p型の第2クラッド層の導電型がn型へ反転するのを防ぐことができ、ほぼ設計通りの不純物濃度プロファイルを有することが可能となる。

【0015】一実施形態においては、上記第2クラッド層上にストライプ状の溝を有するn型の電流阻止層が積層され、上記ストライプ状の溝を含む上記電流阻止層上に少なくともp型の第3クラッド層が形成され、上記第2クラッド層の炭素濃度は $3 \times 10^{17} \text{cm}^{-3} \sim 2 \times 10^{18} \text{cm}^{-3}$ である。この半導体レーザ素子は所謂セルフアライン構造のものである。

【0016】この半導体レーザ素子を製造するには、半導体基板上に、少なくとも、第1クラッド層と、活性層と、第2クラッド層と、電流阻止層とを順に積層する工程であって、第2クラッド層の成長条件を、p型不純物としての炭素の濃度が $3 \times 10^{17} \text{cm}^{-3} \sim 2 \times 10^{18} \text{cm}^{-3}$ となる条件とした第1の工程と、上記電流阻止層にストライプ状の溝を形成する第2の工程と、上記ストライプ状の溝を含む電流阻止層上に、少なくとも第3クラッド層を形成する第3の工程とを含む方法を用いることができる。

【0017】この製造方法を用いることによって、第1の工程の上記n型電流阻止層の成長中や、第3の工程における、少なくとも第3クラッド層を形成する際に、第2クラッド層から他の層への不純物の拡散あるいはその逆が発生しにくい。したがって、上記p型の第2クラッド層の導電型がn型へ反転することを防ぐことができる。

【0018】上記第3の工程において、上記第3クラッド層から、上記電流阻止層の溝を介して、上記第2クラッド層へ不純物を拡散し、上記溝に対向する領域の第2クラッド層の不純物濃度を、残りの領域の第2クラッド層の不純物濃度よりも高くするようにしてもよい。

【0019】こうして得られた半導体レーザ素子では、上記電流阻止層の欠損部つまりストライプ状の溝に対向する第2クラッド層の高濃度部の抵抗は、第2クラッド層の残りの領域である不純物低濃度部より低いので、上記第2クラッド層の高濃度部に達した電流が上記低濃度部に拡がるのが抑えられる。したがって、本発明によれば、上記第2クラッド層内での電流拡がりによる無効電流の発生が抑えられ、低閾値電流と低電流駆動動作が実現できる。

【0020】一実施形態では、上記第1の工程において有機金属気相成長(MOCVD)法が使用され、p型の第2クラッド層の成長条件として、V族原料とIII族原料とのモル比(V/III比)を20~50にしている。こうすることにより、成長結晶の表面荒れの発生が回避でき、同時に、炭素(C)濃度が $3 \times 10^{17} \text{cm}^{-3} \sim 2 \times 10^{18} \text{cm}^{-3}$ となる。この製造方法を用いることによって、p型の第2クラッド層において、従来よりも優れた制御性と再現性でもって、導電型の反転が発生しない不純物濃度にすることができる。

【0021】上記第3の工程で液相エピタキシャル成長(LPE)法を用いることもできる。この場合、LPE法成長温度と時間を調整することで、第3クラッド層から、上記電流阻止層の欠損部に対向する第2クラッド層へ、最適量の不純物拡散を行うことができる。また、半導体レーザ素子の、最終的なチップ厚さに対する発光点位置を、例えばチップ厚さ100 $\mu\text{m}$ に対して中央の位置にする必要があれば、第3の工程における第3クラッド層上のキャップ層を50 $\mu\text{m}$ 成長しなければならないが、LPE法であれば、容易に短時間と低コストで実現することができる。

【0022】LPE法を用いる第3の工程において、第3クラッド層に用いるp型の不純物をMgとすれば、第3クラッド層から、上記電流阻止層の欠損部に対向する第2クラッド層へ、容易に最適量の不純物拡散を行うことができる。

【0023】ところで、第3の工程をLPEで行いMgを拡散させた半導体レーザ素子と比較して、MOCVDで不純物拡散を行わない半導体レーザ素子では、閾値電流が42mAと、7mA大きくなり、光出力5mW時の駆動電圧も、前者が1.88Vであったのに対して、1.95Vと素子抵抗が高くなった。この事実から、溝に対向する領域の第2クラッド層の不純物濃度を、残りの領域の第2クラッド層の不純物濃度よりも高くする構造の優位性が明らかになった。

【0024】本発明によれば、拡散の極めて少ないCを第2クラッド層に用いるので、基板上にn型半導体層を成長する場合のn型の不純物をSeとしても、第1クラッド層と電流阻止層から不純物Seが第2クラッド層へ拡散することが効果的に防止できる。

【0025】別の実施形態では、上記活性層は量子井戸

層からなり、上記第2クラッド層上には、ストライプ状に延びるリッジ形状のp型の第3クラッド層と、この第3クラッド層を両側から挟み込むn型の電流阻止層とが形成されている。この半導体レーザ素子は所謂リッジ型構造のものである。

【0026】このリッジ型構造の半導体レーザ素子を製造するには、半導体基板上に、少なくとも、第1クラッド層と、量子井戸層からなる活性層と、第2クラッド層と、第3クラッド層とを順に積層する工程であって、第2クラッド層の成長条件を、p型不純物としての炭素の濃度が $2 \times 10^{17} \text{cm}^{-3} \sim 2 \times 10^{18} \text{cm}^{-3}$ となる条件とした第1の工程と、上記第3クラッド層をリッジ形状に加工する第2の工程と、上記リッジ形状の第3クラッド層を挟み込むように、n型の電流阻止層を上記第2クラッド層上に形成する第3の工程とを備えた方法を用いることができる。

【0027】この製造方法を用いることによって、p型の第2クラッド層中の不純物が量子井戸層からなる活性層に拡散することを防ぐことができる。

【0028】一実施形態では、上記第1の工程において、有機金属気相成長法が使用され、p型の第2クラッド層の成長条件として、V族原料とIII族原料とのモル比(V/III比)を10~50にしている。こうすることにより、成長結晶の表面荒れの発生が回避でき、同時に、第2クラッド層における炭素(C)濃度を $2 \times 10^{17} \text{cm}^{-3} \sim 2 \times 10^{18} \text{cm}^{-3}$ にできる。この製造方法を用いることによって、p型の第2クラッド層において、従来よりも優れた制御性と再現性でもって、導電型の反転が発生しない不純物濃度にするすることができる。

【0029】リッジ型構造の半導体レーザ素子を製造するための上記第1の工程において、第3クラッド層のp型不純物として炭素を使用し、第3クラッド層の成長条件を、炭素の濃度が $2 \times 10^{17} \text{cm}^{-3}$ 以上となる条件としてもよい。この場合には、p型の第3クラッド層中の不純物がp型の第2クラッド層そして活性層に拡散するのを防止できるため、活性層への不純物拡散をさらに効果的に防止できる。この場合において、第3クラッド層の成長条件として、V族原料とIII族原料とのモル比(V/III比)を10~50にするのが好ましい。こうすることにより、成長結晶の表面荒れの発生が回避でき、同時に、第3クラッド層における炭素(C)濃度を $2 \times 10^{17} \text{cm}^{-3}$ 以上とできる。この製造方法を用いることによって、p型の第3クラッド層において、従来よりも優れた制御性と再現性でもって、導電性の反転が発生しない不純物濃度にするすることができる。

【0030】本発明のリッジ型構造の半導体レーザ素子を製造する方法は、上記第1の工程と第2の工程との間に、半導体レーザ素子の光出射端面部における活性層を熱処理することにより無秩序化して、窓領域を形成する第4の工程をさらに備えていてもよい。

【0031】上述したように、本発明によれば、p型の第2クラッド層には（一実施形態においては、p型の第3クラッド層にも）、不純物として拡散の極めて少ない炭素が添加されている。このため、この第4の工程において、不純物としてZnが添加されている場合には容易に発生するp型の第2クラッド層（および、一実施形態においては、p型の第3クラッド層）からの量子井戸活性層への不純物の拡散を防ぐことが可能になる。つまり、窓領域以外の領域（発振領域）での活性層の無秩序化を防止できる。

【0032】この第4の工程を経て製造された半導体レーザ素子は、光出射端面において、発振領域よりも大きな禁制帯幅を有する窓領域を有することになる。上述したように、活性層の発振領域での無秩序化は抑えられているので、この半導体レーザ素子での端面窓効果は大きく、出力を増大させることができる。

【0033】上記第4の工程は、たとえば、上記第1の工程により得られたウェハ上にSiO<sub>2</sub>膜またはSiN膜を部分的に形成する工程と、SiO<sub>2</sub>膜またはSiN膜の形成されたウェハに熱処理を行って、SiO<sub>2</sub>膜またはSiN膜直下の活性層部分を無秩序化する工程とを含むことができる。

【0034】上述したいずれの構造の半導体レーザ素子を製造する場合であっても、p型の化合物半導体層は、AlGaAsによって形成することができる。

【0035】以上のことから、本発明は、半導体レーザ素子の製造歩留の向上を可能とし、特性においても従来品に劣ることのない十分な性能を有する半導体レーザ素子を提供することができる。

#### 【0036】

【発明の実施の形態】具体的な半導体レーザの構造とその製造例として有機金属気相成長(MOCVD:metal-organic chemical vapor deposition)法を以下に説明する。

【0037】図5に有機金属気相成長装置の模式図を示す。

【0038】図5中の試料導入室50と成長室51は、ゲートバルブ56により区切られている。また、試料導入室50は、短時間に大気圧から高真空に到達できるようにターボ分子ポンプ等の真空ポンプ55が取り付けられている。この装置で半導体レーザを作製する場合には、図5の試料導入室50でモリブデン製もしくは、カーボン製のウェハホルダー52に半導体基板53をセットする。その後、試料導入室50を真空ポンプ55で高真空にし、ウェハホルダー52を成長室51内に導入する。その後、ヒーター54を使い基板温度を上げ、300℃付近でAsの蒸発防止にAsH<sub>3</sub>を流す。

【0039】（実施例1）まず、セルフアライン構造の半導体レーザ素子の製造例を説明する。この例では、図5に示した半導体基板53としてn-GaAs基板60を用いる。基板温度が700～750℃になれば、図6に示すように、n-

GaAs基板60にn-GaAsバッファ層(層厚0.5μm、キャリア濃度 $1 \times 10^{18} \text{cm}^{-3}$ )62、n-Al<sub>x</sub>Ga<sub>1-x</sub>As第1クラッド層(X=0.5、層厚1.0μm、キャリア濃度 $8 \times 10^{17} \text{cm}^{-3}$ )63、Al<sub>x</sub>Ga<sub>1-x</sub>Asノンドープ活性層(x=0.14、層厚0.085μm)64、p-Al<sub>x</sub>Ga<sub>1-x</sub>As第2クラッド層(X=0.5、層厚0.35μm)65、p-GaAsエピサポート層(層厚0.003μm)66、p-Al<sub>x</sub>Ga<sub>1-x</sub>Asエッチングストップ層(X=0.7、層厚0.02μm)67、n-Al<sub>x</sub>Ga<sub>1-x</sub>As第1電流ブロック層(X=0.1、層厚0.1μm、キャリア濃度 $2 \times 10^{18} \text{cm}^{-3}$ )68、n-GaAs第2電流ブロック層(層厚0.4μm、キャリア濃度 $2 \times 10^{18} \text{cm}^{-3}$ )69、n-Al<sub>x</sub>Ga<sub>1-x</sub>As第3電流ブロック層(X=0.1、層厚0.1μm、キャリア濃度 $2 \times 10^{18} \text{cm}^{-3}$ )70を順に成膜する。この場合のp-AlGaAs第2クラッド層65と、p-GaAsエピサポート層66と、p-AlGaAsエッチングストップ層67の成長条件は、他の層のIII族原料とV族原料とのモル比(V/III比)が60であるのに対して30とした。p型不純物としては、III族のGaとAlの供給源であるTMG、TMAのアルキル化物のCを用い、p-AlGaAsクラッド層65のキャリア濃度は、 $4 \times 10^{17} \text{cm}^{-3}$ とした。n-GaAsバッファ層、n-AlGaAsクラッド層、n-GaAs第2電流ブロック層およびn-AlGaAs第1、第3ブロック層のそれぞれの不純物はSeとし、供給源としてはH<sub>2</sub>Seガスを使用した。

【0040】ここで、前述のV/IIIモル比とC不純物濃度についてのデータを図2に示す。MOCVD法でAl<sub>x</sub>Ga<sub>1-x</sub>As(X=0.5)を750℃で成長した場合のTMG、TMAのアルキル化物のCによるp型バックグラウンド不純物濃度は、V/IIIモル比が低下すると増加する。しかし、V/IIIモル比を20以下まで低下させると、結晶成長表面に荒れが生じるという問題があり、従来は60～120で行っていた。前述したように、従来p型不純物として用いていたZnは、成長時やその後の再成長時の熱履歴を得た後、設定の層以外の層へ拡散する。という問題を持っていた。そこで、上記V/IIIモル比を結晶成長表面に荒れの生じない20以上とし、熱履歴を経たのちでも不純物拡散の極めて少ないCを利用した。もちろん、アルキル化物のCを用いず、供給源を別に設けても良い。

【0041】その後、図7のようにフォトリソグラフィを行い、ストライプ状のエッチングマスク80を形成した後、n-第1、第2、第3電流ブロック層68、69、70をアンモニア系のエッチング液でエッチングする。この際p-AlGaAsエッチングストップ層67にエッチングレートをもたないか、もしくは非常にエッチングレートの小さなエッチング液とすることで、選択的にn-電流ブロック層68、69、70のみをエッチングし、ストライプ幅Wを4.0μmとなるまでエッチングを行った。更に、フッ酸を用いてストライプ内のp-AlGaAsエッチングストップ層67をエッチングし、有機溶剤でエッチングマスク80を除去した。

【0042】次に、LPEでp-Al<sub>x</sub>Ga<sub>1-x</sub>As第3クラッド層(X=0.5、層厚1.0μm、キャリア濃度 $2 \times 10^{18} \text{cm}^{-3}$ )71、p



-GaAsキャップ層(層厚50.0 $\mu\text{m}$ 、キャリア濃度 $6\times 10^{18}\text{cm}^{-3}$ )72を再成長した(図8)。このLPEでは、ストライプの底面部に露出したp-GaAsエピサポート層66が有る為、十分な再成長が可能である。また、LPE成長を行う前にGa溶液中に規定の量のAsとAlを溶かし、一旦飽和状態とする為、800℃で100分間のホールド時間を設けた。n型ブロック層を全てGaAs層にすると、溝状にエッチングしたブロック層の先端部は、高温によるAs抜けにより、形状が変化し、ストライプ状の溝の底面両コーナーに溜まるなどして、場合によっては、設計のストライプ幅を変化させてしまう。そこで、上述したように、電流ブロック層の上下をn-Al<sub>x</sub>Ga<sub>1-x</sub>As電流ブロック層(X=0.1、層厚0.1 $\mu\text{m}$ )68,70とすることで、エッチング後の形状をそのまま保ったまま再成長することができた。このLPE成長のp-AlGaAsクラッド層71と、p-GaAsキャップ層72の不純物にはMgを使用した。この結果、p-AlGaAsクラッド層65のストライプ内は、当初Cによるキャリア濃度 $4\times 10^{17}\text{cm}^{-3}$ に対して、Mgの拡散により $1\times 10^{18}\text{cm}^{-3}$ となり、半導体レーザ素子として、電流を効率良くストライプ内に注入することができ、低閾値と、低電流駆動

【0043】この第3の工程を同様に、MOCVD法により再成長することも当然可能である。不純物にZnを使用し、成長時間を短縮させる為、p-GaAsキャップ層72の層厚は3 $\mu\text{m}$ とした。成長温度は700℃とし、不純物をZnとしたことから、p-AlGaAs第2クラッド層65のストライプ内への拡散は発生しない。この為、第1の工程でp-AlGaAsクラッド層65の成長条件を図2に示すデータからV/III比を20とし、キャリア濃度を $7\times 10^{17}\text{cm}^{-3}$ として層厚を0.25 $\mu\text{m}$ にした。前述のLPE再成長品に比べ、局所的に不純物を高濃度に出来ない為、p-AlGaAsクラッド層65の不純物濃度を約2倍とした。発生する無効電流を抑える為に、層厚を薄くし、その対応とした。このよ

うに、再成長をMOCVDで行った場合においてもほぼ同等の性能の半導体レーザ素子が得られる。

【0044】第3の工程で再成長を終えたウエハの基板面を研磨やエッチングで除去し、ウエハの厚さを100 $\mu\text{m}$ にした後、ウエハのn側とp側の両面に電極を付け、ウエハ内に作成したストライプ溝との垂直方向に、バー状となるようへき開分割を行い、出射両面に絶縁膜をコーティングし、半導体レーザ素子を作成した。

【0045】図1は本実施例の半導体レーザ素子の不純物濃度プロファイルを示している。この図から、第2クラッド層の導電型が良好にp型に維持されて、ほぼ設計通り(図3参照)の不純物濃度プロファイルが得られたことがわかる。

【0046】この製造方法を用いて作成した本構造の半導体レーザ素子は、共振器長を250 $\mu\text{m}$ として、発振閾値35mA、光出力5mW時の駆動電流が50mA、発振波長785nm、光学特性においても接合方向に対する垂直方向で38°、水平方向で10°と理想的な数値が得られた。雑音特性の目安となる可干渉性においても0.3という良好な値であった。これは、p-AlGaAsクラッド層を更に薄くすることや、共振器長を短くすることで、より低閾値、低駆動電流の半導体レーザ素子を供給することができる。また、製造上で従来ほぼ20回の成長で1回程度の割合で発生していた、p-AlGaAsクラッド層の導伝型n型への反転という不良がなくなった。

【0047】次に、共振器長を200 $\mu\text{m}$ とし、p-AlGaAsクラッド層65、p-GaAsエピサポート層66、および、p-AlGaAsエッチングストップ層67の成長条件を、V/III比10、20、30、60とした半導体レーザ装置の評価を行った。表1にそれぞれの光出力5mW時の駆動電流I<sub>op</sub>を示す

【0048】

【表1】

I <sub>op</sub> (mA)						
	素子 NO.	1	2	3	4	5
V/III 比	10	60.7	61.0	61.5	57.6	58.9
	20	40.3	43.7	40.4	42.7	41.8
	30	40.7	40.9	40.9	40.9	40.3
	60	44.0	42.4	44.3	45.0	42.3

【0049】表1から明らかなように、V/III比10での半導体レーザ特性は、発振閾値45mA、光出力5mW時の駆動電流I<sub>op</sub>が平均約60mAであり、V/III比20乃至60での値と比較して、発振閾値、駆動電流とも増加する傾向が見られた。図9にV/III比と光出力5mW時の駆動電流I<sub>op</sub>(mA)との相関を示す。

【0050】さらに、V/III比が10の場合には、素子温度80℃、光出力7mWでのエージング試験では、48時間以内に駆動電流値I<sub>op</sub>が1.2倍以上に増加する素子も発生

し、信頼性の低下が見られた。

【0051】一方、V/III比60の場合には、図2より、不純物Cの濃度が $3.0\times 10^{17}\text{cm}^{-3}$ 以下となることがあり、また、図10から、キャリア濃度は $2.0\times 10^{17}\text{cm}^{-3}$ 以下となる場合がある。このため、p-AlGaAsクラッド層65の導電型がn型へと反転する不良が、5回成長中1度発生し、レーザ発振しないものもあった。

【0052】以上の検討結果より、V/III比を20から50にすることで、不純物濃度を $3\times 10^{17}\text{cm}^{-3}\sim 2\times 10^{18}\text{cm}^{-3}$

<sup>-3</sup>とでき、特性、信頼性に優れた良好な半導体レーザ素子を得ることができた。

【0053】(実施例2) 次に、リッジ構造の半導体レーザ素子の製造例を図13~16を用いて説明する。この例では、図5に示した半導体基板53としてn-GaAs基板160を用いる。基板温度が700~750℃になれば、図13に示すように、n-GaAs基板160にn-GaAsバッファ層(層厚0.5μm、キャリア濃度 $1 \times 10^{18} \text{cm}^{-3}$ )162、n-Al<sub>x</sub>Ga<sub>1-x</sub>As第1クラッド層(x=0.5、層厚2.7μm、キャリア濃度 $8 \times 10^{17} \text{cm}^{-3}$ )163、Al<sub>x</sub>Ga<sub>1-x</sub>Asノンドープ量子井戸活性層164、p-Al<sub>x</sub>Ga<sub>1-x</sub>As第2クラッド層(x=0.5、層厚0.18μm)165、p-GaAsエピサポート層(層厚0.003μm)166、p-Al<sub>x</sub>Ga<sub>1-x</sub>As第3クラッド層(x=0.5、層厚1.4μm)167、p-GaAsキャップ層(層厚0.6μm)168を順に成膜する。この場合のp-AlGaAs第2クラッド層165の成長条件は、他の層のIII族原料とV族原料とのモル比(V/III比)が60であるのに対して20とした。また、p型不純物としては、III族のGaとAlの供給源であるTMG、TMAのアルキル化物のCを用いた。このときのp-AlGaAs第2クラッド層165の不純物濃度(C濃度)は $8 \times 10^{17} \text{cm}^{-3}$ であった。一方、p-AlGaAs第3クラッド層167のp型不純物にはZnを用いた。また、n-GaAsバッファ層162およびn-AlGaAs第1クラッド層163それぞれの不純物はSiとし、供給源としてはSi<sub>2</sub>H<sub>6</sub>ガスを使用した。

【0054】ここで、前述のV/IIIモル比とC不純物濃度についてのデータを図12に示す。MOCVD法でAl<sub>x</sub>Ga<sub>1-x</sub>As(x=0.5)を750℃で成長した場合のTMG、TMAのアルキル化物のCによるp型バックグラウンド不純物濃度は、V/IIIモル比が低下すると増加する。しかし、V/IIIモル比を10以下に低下させると、結晶成長表面に荒れが生じるという問題があり、従来は60~120で行っていた。前述したように、従来p型不純物として用いていたZnは、成長時やその後の再成長時の熱履歴を得た後、設定の層以外の層へ拡散する。という問題を持っていた。そこで、上記V/IIIモル比を結晶成長表面に荒れの生じない10以上とし、熱履歴を経たのちでも不純物拡散の極めて少ないCを利用した。もちろん、アルキル化物のCを用いず、供給源を別に設けても良い。

【0055】その後、SiO<sub>2</sub>膜をP-CVD(プラズマCVD)法によってキャップ層168全面に形成する。そして、フォトリソグラフィとフッ酸を用いたエッチングにより、図14に示すように、光出射端面部となる部分に、ストライプ状(幅40μm、ピッチ800μm)のSiO<sub>2</sub>膜170を形成する。その後、急速熱処理(RTA: Rapid Thermal Anneal)法により、900℃で10分間の熱処理を行うことによって、SiO<sub>2</sub>ストライプ170の直下の量子井戸活性層164の無秩序化を行い、端面窓領域171を形成する。このとき、SiO<sub>2</sub>膜の代りにSiN膜を用いてもよい。

【0056】その後、SiO<sub>2</sub>膜170を除去し、フォトリソグラフィによって、図15に示すように、端面窓領域17

1と直交するストライプ状のエッチングマスク180を形成する。そして、p-GaAsキャップ層168とp-AlGaAs第3クラッド層167を硫酸系のエッチング液でエッチングする。このとき、p-AlGaAs第3クラッド層167は、層厚0.2μmが残るところまでエッチングされる。次に、残った第3クラッド層167をフッ酸を用いてエッチングする。こうして、第3クラッド層167からなるストライプ状のリッジを形成する。

【0057】次に、図16に示すように、MOCVD法でn-Al<sub>x</sub>Ga<sub>1-x</sub>As電流ブロック層(x=0.7、層厚1.0μm、キャリア濃度 $2 \times 10^{18} \text{cm}^{-3}$ )190、n-GaAs電流ブロック層(層厚0.6μm、キャリア濃度 $2 \times 10^{18} \text{cm}^{-3}$ )191、p-GaAs平坦化層(層厚0.4μm、キャリア濃度 $2 \times 10^{18} \text{cm}^{-3}$ )192を再成長した。

【0058】その後、フォトリソグラフィを行い、図16に示すように、リッジ上に成長した電流ブロック層(不要層)上のみをストライプ状に除去したエッチングマスク181を形成する。そしてこの不要層を硫酸系のエッチング液でエッチング除去し、その上に、MOCVD法によってp-GaAsコンタクト層(図示せず)を成長した。コンタクト層の層厚は50μmとした。

【0059】上記の工程でコンタクト層までの再成長を終えたウェハの基板面を研磨やエッチングで除去してウェハの厚さを100μmにした後、ウェハのn側とp側の両面に電極をつける。さらに、ウェハ内のストライプ状に延びるリッジとの垂直方向に、バー状となるよう端面窓領域170の中央でへき開分割を行い、出射両面に絶縁膜をコーティングし、半導体レーザ素子を作成した。

【0060】この半導体レーザ素子の不純物濃度プロファイルは、図11に示す通りであった。

【0061】この製造方法を用いて作成した本構造の半導体レーザ素子では、共振器長を800μmとして、発振閾値27mA、光出力90mW時の駆動電流が95mA、発振波長785nmという良好なレーザ特性が再現性よく得られた。また、破局的光学損傷(COD: Catastrophic Optical Damage)による光出力限界レベルは250mWと、大きな値が得られた。

【0062】比較のために、p-AlGaAs第2クラッド層として、Cではなく従来のようにZnを不純物添加した層を用いる他は、上記と同構造の半導体レーザ装置を作成した。この半導体レーザ素子では、共振器長を800μmとして、発振閾値30~35mA、光出力90mW時の駆動電流が105~120mA、発振波長779~785nmであり、特性の悪化、バラツキ増大の結果となった。加えて、光出力限界レベルも150mWと、小さな値であった。

【0063】(実施例3) 本実施例における半導体レーザ素子の製造工程は、p-AlGaAs第3クラッド層167の成長条件を変更した点のみが、実施例2と異なる。つまり、実施例2では、V族原料とIII族原料とのモル比(V/III比)を60とし、p型不純物としてZnを用いた

が、実施例 3 では、V 族原料と III 族原料とのモル比 (V/III 比) を 1.0 とし、p 型不純物として、p-AlGaAs 第 2 クラッド層 165 と同様に、III 族の Ga と Al の供給源である TMG、TMA のアルキル化物の C を用いた。このときの第 3 クラッド層 167 の不純物濃度 (C 濃度) は、図 12 からわかるように、 $2 \times 10^{18} \text{cm}^{-3}$  であった。

【0064】本実施例で作成した半導体レーザ素子では、共振器長を  $800 \mu\text{m}$  として、発振閾値  $26 \text{mA}$ 、光出力  $90 \text{mW}$  時の駆動電流が  $90 \text{mA}$ 、発振波長  $785 \text{nm}$  という良好なレーザ特性が再現性よく得られた。また、破局的光学損傷による光出力限界レベルは  $270 \text{mW}$  と、大きな値が得られた。以上、実施例 3 の半導体レーザ素子では、実施例 2 の半導体レーザ素子よりも良好な素子特性が得られた。これは、p-AlGaAs 第 3 クラッド層 167 の成長条件の違いにより、この層からの不純物拡散が減少したためと考えられる。

#### 【図面の簡単な説明】

【図 1】 本発明の半導体レーザ素子の構造断面図と不純物プロファイルである。

【図 2】 本発明の C キャリア濃度 V/III 比依存性グラフである。

【図 3】 (A~B) 従来例の半導体レーザ素子の構造断面図と不純物プロファイル設計と実際のプロファイルである。

【図 4】 (A~C) 半導体レーザの製造工程図である。

【図 5】 有機金属気相成長装置の模式図である。

【図 6】 本発明の実施例 1 の半導体レーザ素子の構造と製造工程図である。

【図 7】 本発明の実施例 1 の半導体レーザ素子の構造と製造工程図である。

【図 8】 本発明の実施例 1 の半導体レーザ素子の構造と製造工程図である。

【図 9】 V/III 比と光出力  $5 \text{mW}$  時の駆動電流との相関を示す。

【図 10】 不純物濃度とキャリア濃度との相関を示す。

【図 11】 本発明の半導体レーザ素子の構造断面図と不純物プロファイルである。

【図 12】 本発明の C キャリア濃度 V/III 比依存性グラフである。

【図 13】 本発明の実施例 2 の半導体レーザ素子の製造工程図である。

【図 14】 本発明の実施例 2 の半導体レーザ素子の製造工程図である。

【図 15】 本発明の実施例 2 の半導体レーザ素子の製

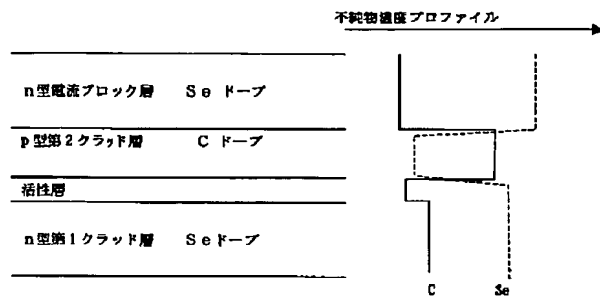
造工程図である。

【図 16】 本発明の実施例 2 の半導体レーザ素子の製造工程図である。

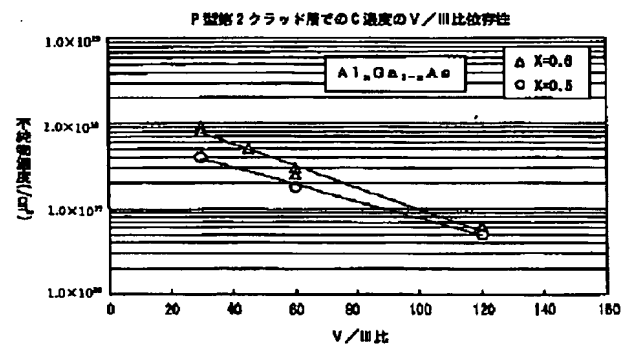
#### 【符号の説明】

- 10 n-GaAs 基板
- 12 n-GaAs バッファ層
- 13 n-AlGaAs クラッド層
- 14 AlGaAs 活性層
- 15 p-AlGaAs クラッド層
- 10 16 n-GaAs 電流ブロック層
- 17 p-AlGaAs クラッド層
- 18 p-GaAs キャップ層
- 40 エッチングマスク
- 50 試料導入室
- 51 成長室
- 52 ウェハホルダー
- 53 半導体基板
- 54 ヒーター
- 55 真空ポンプ
- 20 56 ゲートバルブ
- 60 n-GaAs 基板
- 62 n-GaAs バッファ層
- 63 n-AlGaAs 第 1 クラッド層
- 64 AlGaAs 活性層
- 65 p-AlGaAs 第 2 クラッド層
- 66 p-GaAs エピサポート層
- 67 p-AlGaAs エッチングストップ層
- 68 n-AlGaAs 第 1 ブロック層
- 69 n-GaAs 第 2 ブロック層
- 30 70 n-AlGaAs 第 3 ブロック層
- 71 p-AlGaAs 第 3 クラッド層
- 72 p-GaAs キャップ層
- 160 n-GaAs 基板
- 162 n-GaAs バッファ層
- 163 n-AlGaAs 第 1 クラッド層
- 164 AlGaAs 量子井戸活性層
- 165 p-AlGaAs 第 2 クラッド層
- 166 p-GaAs エピサポート層
- 167 p-AlGaAs 第 3 クラッド層
- 40 168 p-GaAs キャップ層
- 171 端面窓領域
- 180, 181 エッチングマスク
- 190 n-AlGaAs 電流ブロック層
- 191 n-GaAs 電流ブロック層
- 192 p-GaAs 平坦化層

【図1】

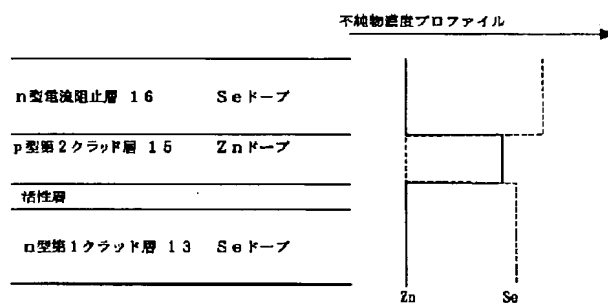


【図2】

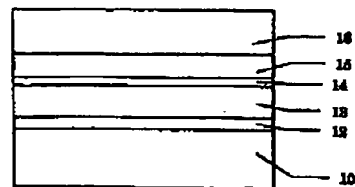


【図3】

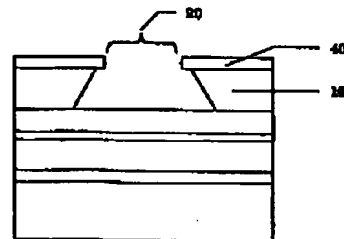
(A)



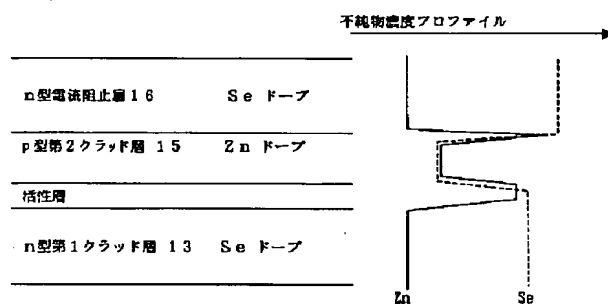
(A)



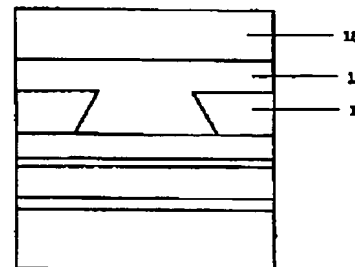
(B)



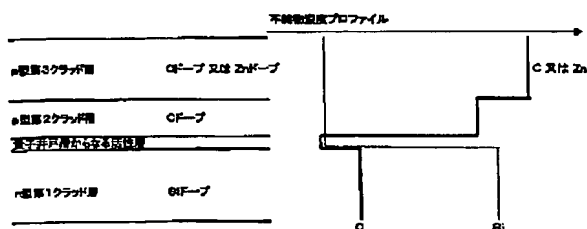
(B)



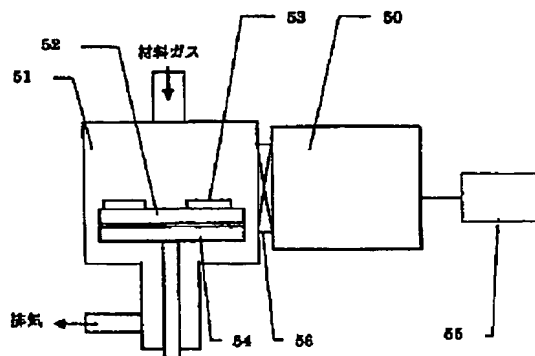
(C)



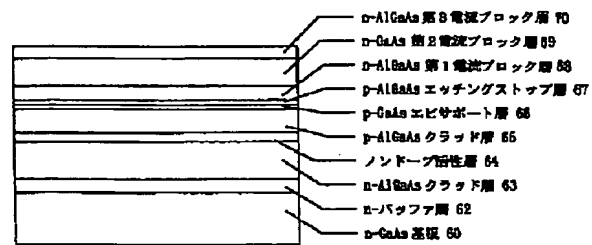
【図11】



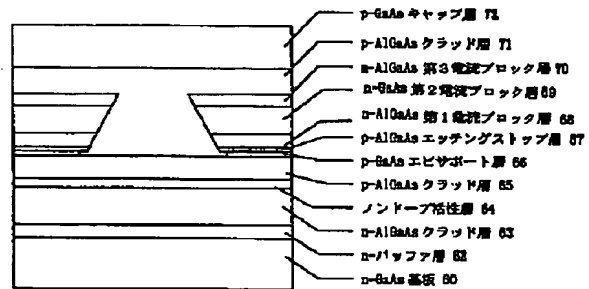
【図5】



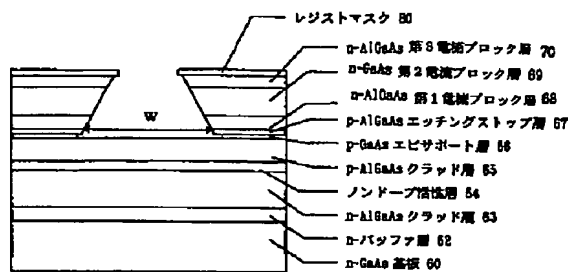
【図6】



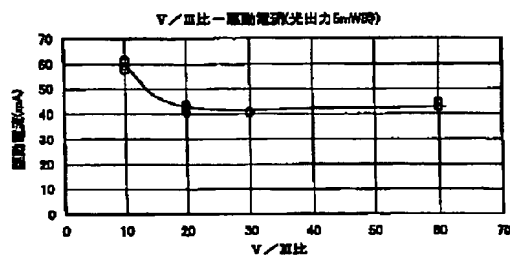
【図8】



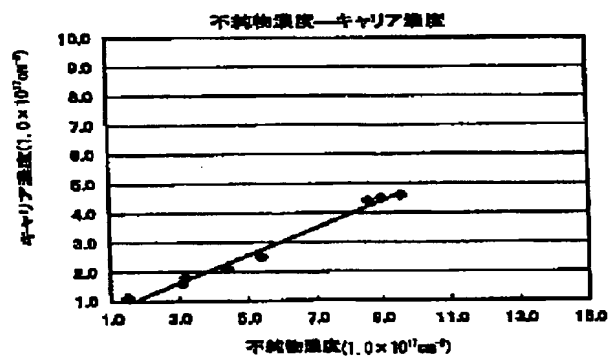
【図7】



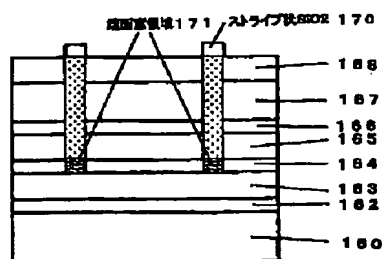
【図9】



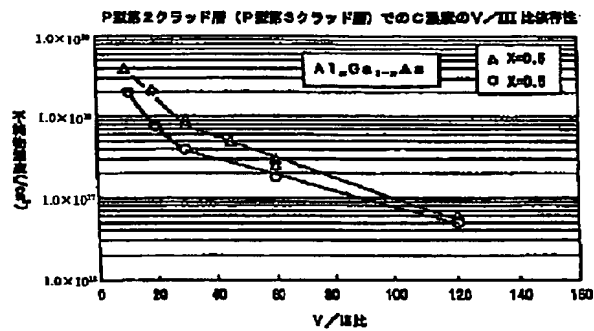
【図10】



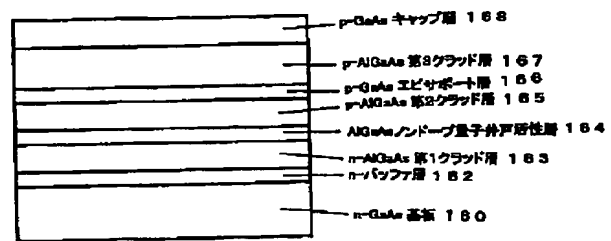
【図14】



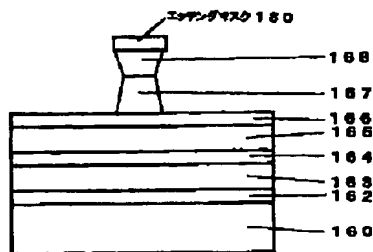
【図12】



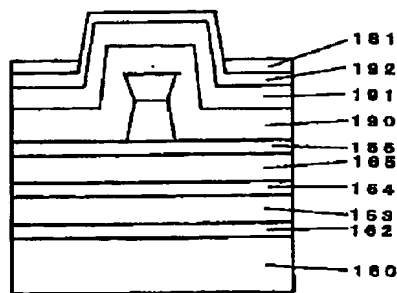
【図13】



【図15】



【図16】



フロントページの続き

(72)発明者 藤井 良久  
大阪府大阪市阿倍野区長池町22番22号 シ  
ヤープ株式会社内

Fターム(参考) 5F045 AA04 AB10 AB17 AD11 BB16  
CA12 DA53 DA59  
5F073 AA13 AA74 AA83 BA04 CA05  
CB02 CB19 DA05 DA15 DA22  
DA31 DA35 EA23 EA28